

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-349731

(43)Date of publication of application : 22.12.1994

(51)Int.Cl.

H01L 21/20
H01L 21/02

(21)Application number : 05-133044

(71)Applicant : NEC CORP

(22)Date of filing : 03.06.1993

(72)Inventor : MORI KAZUO

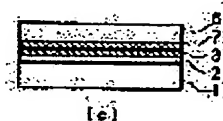
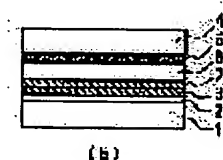
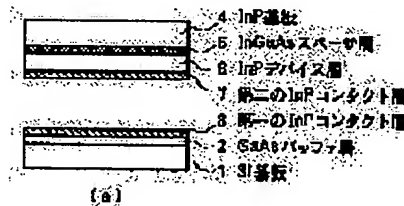
SUGAO SHIGEO

(54) MANUFACTURE OF HYBRID SEMICONDUCTOR-LAMINATED STRUCTURE

(57)Abstract:

PURPOSE: To remarkably reduce the heat-treating temperature at the time of forming a III-V compound semiconductor layer on a IV or III-V group lattice-unmatching substrate by a joining method.

CONSTITUTION: A GaAs buffer layer 2 and first InP contact layer 3 are successively formed on an Si substrate 1. On the other hand, an InGaAs spacer layer 5, InP device layer 6, second contact layer 7 are successively formed on an InP substrate 4. Then the laminated-structures on the substrates 1 and 4 are put together by putting the first and second InP contact layers 3 and 7 upon another and the layers 3 and 7 are stuck to each other under a pressure while they are subjected to heat treatment. Finally, the surface of the device layer 6 is exposed by removing the substrate 4 and spacer layer 5.



LEGAL STATUS

[Date of request for examination]

03.06.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 2624119

[Date of registration] 11.04.1997

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right] 11.04.2003

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-349731

(43) 公開日 平成6年(1994)12月22日

(51) Int. Cl.⁵H01L 21/20
21/02

識別記号

片内整理番号

8122-4M
B

P I

技術表示箇所

審査請求 有 請求項の数14 O L (全 11 頁)

(21) 出願番号 特願平5-133044

(22) 出願日 平成5年(1993)6月9日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 森 一男

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 菅生 謙男

東京都港区芝五丁目7番1号 日本電気株式会社内

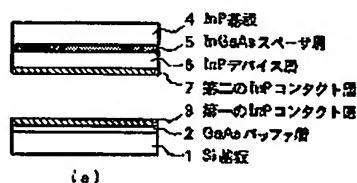
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 複合型半導体積層構造の製造方法

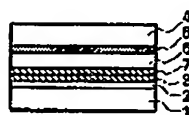
(57) 【要約】

【目的】 III-V族あるいはIII-IV族格子不整合基板上にIII-V族化合物半導体層を接合法で形成する際の熱処理温度を大幅に低減する。

【構成】 Si基板1上にGaAsバッファ層2、第一のInPコンタクト層3を順次形成する。一方、InP基板4上にはInGaAsスペーサ層5、InPデバイス層6、第二のInPコンタクト層7を順次形成する。次にSi基板1およびInP基板4上の積層構造を第一および第二のInPコンタクト層3、7を介して表面同士で重ね合わせ、熱処理を行いながら圧着する。最後にInP基板4およびInGaAsスペーサ層5を除去してInPデバイス層6の表面を露出させる。



(a)



(b)



(c)

(2)

特開平6-349731

1

2

【特許請求の範囲】

【請求項1】 第一の半導体基板上に直接、あるいは第一のIII-V族化合物半導体層を挟んで第一のIn系III-V族化合物半導体コンタクト層を成長する工程と、第二の半導体基板上に直接、あるいは第二のIII-V族化合物半導体層を挟んで第二のIn系III-V族化合物半導体コンタクト層を成長する工程と、前記第一、および第二のIn系III-V族化合物半導体コンタクト層を介して前記第一、および第二の半導体基板上の積層構造どうしを圧着する工程とを少なくとも有することを特徴とする複合型半導体積層構造の製造方法。

【請求項2】 第一の半導体基板上に直接、あるいは第一のIII-V族化合物半導体層を挟んで第一のIn系III-V族化合物半導体層を成長する工程と、第二の半導体基板上に直接、あるいは第二のIII-V族化合物半導体層を挟んで第二のIn系III-V族化合物半導体層を成長する工程と、前記第一および第二のIn系III-V族化合物半導体層からV族元素を熱的に蒸発させてそれぞれ第一および第二のIn系金属コンタクト層に変換する工程と、前記第一、および第二のIn系金属コンタクト層を介して前記第一、および第二の半導体基板上の積層構造どうしを圧着する工程とを少なくとも有することを特徴とする複合型半導体積層構造の製造方法。

【請求項3】 請求項2に記載の複合型半導体積層構造の製造方法において、第一、および第二のIn系III-V族化合物半導体層がともにInP層であることを特徴とする複合型半導体積層構造の製造方法。

【請求項4】 請求項2に記載の複合型半導体積層構造の製造方法において、第一および第二のIn系金属コンタクト層を融点以上に保持する、または前記第一および第二のIn系金属コンタクト層に超音波振動を与える、またはこれらの手段を併用することで前記第一および第二のIn系金属コンタクト層を溶融しながら前記第一、および第二の半導体基板上の積層構造どうしを圧着することを特徴とする複合型半導体積層構造の製造方法。

【請求項5】 請求項2に記載の複合型半導体積層構造の製造方法において、第一または第二のIn系III-V族化合物半導体層のいずれか一方のみIn系金属コンタクト層に変換するか、あるいは前記第一または第二のIn系III-V族化合物半導体層のいずれか一方のみ成長を行い、In系金属層コンタクト層に変換した後に前記第一、および第二の半導体基板上の積層構造どうしを圧着することを特徴とする複合型半導体積層構造の製造方法。

【請求項6】 第一の半導体基板上に直接、あるいは第一のIII-V族化合物半導体層を挟んで第一のIn系III-V族化合物半導体コンタクト層、III-V族化合物半導体デバイス層を順次成長する工程と、前記III-V族化合物半導体デバイス層上に支持基板を接合

する工程と、第一の半導体基板および第一のIII-V族化合物半導体層を除去し、第一のIn系III-V族化合物半導体コンタクト層表面を露出する工程と、第二の半導体基板上に直接、あるいは第二のIII-V族化合物半導体層を挟んで第二のIn系III-V族化合物半導体コンタクト層を成長する工程と、前記表面が露出した第一のIn系III-V族化合物半導体コンタクト層および前記第二のIn系III-V族化合物半導体コンタクト層を介して前記支持基板および前記第二の半導体基板上の積層構造どうしを圧着する工程とを少なくとも有することを特徴とする複合型半導体積層構造の製造方法。

【請求項7】 請求項6に記載の複合型半導体積層構造の製造方法において、第一の半導体基板上に形成された積層構造最上層のIII-V族化合物半導体デバイス層上に支持基板を接合する工程が、前記III-V族化合物半導体デバイス層上に第三のIn系III-V族化合物半導体コンタクト層を成長する工程と、前記支持基板上に直接、あるいは第三のIII-V族化合物半導体層を挟んで第四のIn系III-V族化合物半導体コンタクト層を成長する工程と、前記第三、および第四のIn系III-V族化合物半導体コンタクト層を介して前記第一の半導体基板、および支持基板上の積層構造どうしを圧着する工程から少なくとも構成されることを特徴とする複合型半導体積層構造の製造方法。

【請求項8】 請求項6に記載の複合型半導体積層構造の製造方法において、第一の半導体基板上に形成された積層構造最上層のIII-V族化合物半導体デバイス層上に支持基板を接合する工程が、前記III-V族化合物半導体デバイス層および前記支持基板の少なくとも一方の表面に有機接着性物質層を形成する工程と、前記有機接着性物質層を介して前記第一の半導体基板上の積層構造、および前記支持基板どうしを圧着する工程から少なくとも構成されることを特徴とする複合型半導体積層構造の製造方法。

【請求項9】 請求項1又は請求項2又は請求項6に記載の複合型半導体積層構造の製造方法において、第一及び第二の半導体基板、また請求項6ではさらに支持基板がそれぞれIII-V族化合物半導体基板あるいはIV族半導体基板のいずれかであることを特徴とする複合型半導体積層構造の製造方法。

【請求項10】 第一のIV族半導体基板上にIV族デバイス層を形成する工程と、一部にIV族半導体結晶表面が露出した開口部を設ける工程と、前記開口部に露出した前記IV族半導体結晶表面上に直接、あるいは第一のIII-V族化合物半導体バッファ層を挟んで第一のIn系III-V族化合物半導体コンタクト層を成長する工程と、第二のIV族半導体基板上に直接、あるいは第二のIII-V族化合物半導体バッファ層を挟んでIII-V族化合物半導体デバイス層および第二のIn系

(3)

特開平6-349731

3

4

III-V族化合物半導体コンタクト層を成長する工程と、島状に形成したマスクパターンを用いたエッチングによってメサを形成する工程と、前記マスクパターンを除去した後、前記第一のIn系III-V族化合物半導体コンタクト層、および前記メサ上部に残る第二のIn系III-V族化合物半導体コンタクト層を介して前記第一、および第二のIV族半導体基板との積層構造どうしを圧着する工程とを少なくとも有することを特徴とする複合型半導体積層構造の製造方法。

【請求項11】 請求項1又は請求項6又は請求項7又は請求項10に記載の複合型半導体積層構造の製造方法において、In系III-V族化合物半導体コンタクト層がInP層、InAs層、InSb層のいずれかであり、300℃以上に加熱しながら二つの半導体基板との積層構造どうしを圧着することを特徴する複合型半導体積層構造の製造方法。

【請求項12】 請求項1又は請求項6又は請求項7又は請求項10に記載の複合型半導体積層構造の製造方法において、In系III-V族化合物半導体コンタクト層がInSb層であり、前記InSb層をその融点525℃以上で短時間加熱溶融しながら二つの半導体基板との積層構造どうしを圧着することを特徴とする複合型半導体積層構造の製造方法。

【請求項13】 請求項1又は請求項6又は請求項7又は請求項10に記載の複合型半導体積層構造の製造方法において、In系III-V族化合物半導体コンタクト層がInSb層であり、前記InSb層のみに吸収される波長の光を照射することで、前記InSb層のみを融点525℃以上で加熱溶融しながら二つの半導体基板との積層構造どうしを圧着することを特徴とする複合型半導体積層構造の製造方法。

【請求項14】 請求項6又は請求項7又は請求項10に記載の複合型半導体積層構造の製造方法において、In系III-V族化合物半導体コンタクト層を成長後、V族元素を熱的に蒸発させる方法で前記In系III-V族化合物半導体コンタクト層をIn系金属コンタクト層に変換してから、前記In系金属コンタクト層を介して二つの半導体基板との積層構造どうしを圧着することを特徴とする複合型半導体積層構造の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はIV族あるいはIII-V族格子不整合基板上の高品質なIII-V族化合物半導体単結晶層を有する複合型半導体積層構造の製造方法に関する。

【0002】

【従来の技術】 現在、IV族あるいはIII-V族格子不整合基板上のヘテロエピタキシャル成長、中でもSiに代表されるIV族半導体単結晶基板上にGaAsやInPに代表されるIII-V族化合物半導体単結晶薄膜

を形成する試みが活発に行われている。これは、このような薄膜構造が形成できると、III-V族化合物半導体高機能素子を安価なSi基板上に作製でき、またSiの高い熱伝導率によって光素子等の性能向上が期待できるためである。さらにSi超高集積回路とIII-V族化合物半導体超高速素子や光素子を同一基板上に形成できるため、新しい高機能素子の開発が予測されるからである。

【0003】ところでSi基板上に形成したIII-V族化合物半導体薄膜を素子作製に应用するためには結晶品質の向上が重要である。例えば雑誌「ジャパニーズ・ジャーナル・オブ・アプライド・フィジクス(Jpn. J. Appl. Phys.)」第24巻第6号(1985年)の第L391-393頁に説明されている「二段階成長」を用いれば、全基板面内でIII族とV族の配列の位相がそろったシングル・ドメイン単結晶薄膜が確実に得られ、また従来の直接成長に比べ結晶性も向上する。これは低温でまず薄い多結晶もしくは非晶質のバッファ層を堆積した後、通常の成長温度で単結晶薄膜を成長させる方法であり、低温バッファ層は昇温する間にアニールされて単結晶化する。しかしSi基板上に例えばGaAsを成長した場合、Si/GaAs界面にはその格子不整合率から予測されるよりもはるかに多くの転位や積層欠陥が発生し、さらにその一部は容易に上層まで伸びて貫通転位となる。二段階成長法による場合の転位密度は数 μm 厚の成長表面で約 10^4 cm^{-2} にも達する。

【0004】そこで導入されたのが歪超格子中間層や熱サイクルアニール法で、これらによって約 10^4 cm^{-2} まで転位密度は急速に改善された(雑誌「アプライド・フィジクス・レター(Appl. Phys. Lett.)」第54巻第1号(1989年)の第24-26頁)。しかしながら約 10^4 cm^{-2} を下回る結果は容易には得られず、その原因としてSi基板とIII-V族化合物半導体との熱膨張係数差の問題が指摘された(雑誌「アプライド・フィジクス・レター(Appl. Phys. Lett.)」第56巻第22号(1990年)の第2225-2227頁)。即ち熱サイクルアニールの導入などによって成長温度(650℃)においては 10^4 cm^{-2} 以下まで転位密度は減少しているが、成長後の冷却中(450℃程度以下)に熱膨張係数差によるストレスによって 10^4 cm^{-2} 台の転位が導入されるというものである。これはSi基板との界面付近に多数残存する転位が熱歪によって上昇していくためと考えられている。

【0005】以上の様な問題はSiとの格子定数差が8%と大きいSi上のInP成長でより顕著であり、転位密度はいまだ約 10^4 cm^{-2} と高い(雑誌「ジャーナル・オブ・クリスタル・グロース(J. Crystal Growth)」第99巻(1990年)の第365

(4)

特開平6-349731

5

5

-370頁)。また残留熱歪が大さいと作製した発光デバイスに高密度の電流を注入した際にも欠陥の増殖を招き寿命を著しく低下させる要因となるため問題である。

【0006】一方、格子定数等の異なる材料を積層する他の方法としては、異種基板同士を直接接合させる方法があり、S₁基板同士の直接接合法はすでに盛んに研究が行われている。III-V族化合物半導体についても最近になってGaAsとInPを熱処理によって直接接合させ、GaAs基板上にInP系の半導体レーザーを作製した結果が報告された(雑誌「アプライド・フィジクス・レター(Appl. Phys. Lett.)」第58巻第18号(1991年)の第1961-1963頁)。この場合、GaAsとInPの格子不整合に基づく転位が接合界面に発生するが、パーガースペクトルの方向が界面に平行な刃状転位であるため界面のみに閉じ込められ、上下の結晶層には貫通してこない。

【0007】更に、S₁と化合物半導体基板を接合、一体化して基板を作製する方法の例が特開昭61-182215号公報、特開昭61-183915号公報、特開平2-194519号公報に記載されている。

【0008】

【発明が解決しようとする課題】IV族あるいはIII-V族格子不整合基板上に高品質なIII-V族化合物半導体単結晶層を得るために採用された上記従来技術の問題点を考えてみる。

【0009】前述のようにIV族あるいはIII-V族格子不整合基板上にIII-V族化合物半導体単結晶層を直接ヘテロエピタキシャル成長する方法では、転位密度がまだ高く、また特に熱膨張係数差の大さいS₁上の成長では残留熱歪が大さいという問題がある。

【0010】一方、異種基板同士を直接接合させる方法では、格子不整合に基づく転位は接合界面のみに閉じ込められるため結晶品質に関しては原理的に問題がないと考えられる。

【0011】ところで前記GaAsとInPを熱処理によって直接接合させる従来技術では、650℃で30分という高温かつ比較的時間の熱処理を必要とした。ごく最近、450℃程度の比較的低温の熱処理でも直接接合できるという報告もされたが(「電子情報通信学会技術研究報告」OQE92-147(1992年))、界面での電気抵抗を十分低く押さえるにはやはり700℃の高温を必要とした。

【0012】さらにS₁とGaAs、InP等のIII-V族結晶とを接合するには、S₁同士の接合において界面ボイドが消失した良好な接合に1000℃程度以上の高温が必要であるからこの場合にはGaAsとInPの接合よりもさらに高温の熱処理を必要とすることが予測される。

【0013】さてS₁集積回路とIII-V族化合物半導体素子を同一基板上に形成しようとする場合、S₁集

積回路パターンがすでに完成した後にプロセス温度400℃以下でIII-V族化合物半導体層を形成する必要がある。これは800℃以上のS₁高温プロセスの前にS₁に対して伝導性不純物となり、かつ相互熱拡散しやすいIII-V族化合物半導体層を形成しておくことができないためである。また既存の確立したS₁プロセスをそのまま活かすには通常3層程度のA₁多層配線まで完成した後にIII-V族化合物半導体層を形成するのが望ましいためである。この場合、A₁の融点およびA₁とS₁との反応を考慮すると、400℃程度以下でIII-V族化合物半導体層を形成する必要がある。したがって従来の高温での直接ヘテロエピタキシャル成長および高温での直接接合法はS₁集積回路の破壊につながるため適用することができない。

【0014】また熱処理温度が高いと熱膨張係数差が大さいため冷却中に大きな熱歪みが発生し、さらに欠陥の発生また増殖を招く恐れもある。

【0015】本発明の目的はこのような従来技術の欠点を克服し、プロセスに要する温度を低温化することによりIV族あるいはIII-V族格子不整合基板上に高品質なIII-V族化合物半導体単結晶層を有する複合型半導体積層構造を製造する方法を提供することにある。

【0016】

【課題を解決するための手段】請求項1の発明によれば、第一の半導体基板上に直接、あるいは第一のIII-V族化合物半導体層を挟んで第一のIn系III-V族化合物半導体コンタクト層を成長する工程と、第二の半導体基板上に直接、あるいは第二のIII-V族化合物半導体を挟んで第二のIn系III-V族化合物半導体コンタクト層を成長する工程と、前記第一および第二のIn系III-V族化合物半導体コンタクト層を介して前記第一、および第二の半導体基板の積層構造どうしを圧着する工程とを少なくとも有することを特徴とする複合型半導体積層構造の製造方法が得られる。

【0017】また請求項2の発明によれば、第一の半導体基板上に直接、あるいは第一のIII-V族化合物半導体層を挟んで第一のIn系III-V族化合物半導体層を成長する工程と、第二の半導体基板上に直接、あるいは第二のIII-V族化合物半導体層を挟んで第二のIn系III-V族化合物半導体層を成長する工程と、前記第一および第二のIn系III-V族化合物半導体層からV族元素を熱的に蒸発させてそれぞれ第一および第二のIn系金属コンタクト層に変換する工程と、前記第一、および第二のIn系金属コンタクト層を介して前記第一、および第二の半導体基板の積層構造どうしを圧着する工程とを少なくとも有することを特徴とする複合型半導体積層構造の製造方法が得られる。また圧着する工程において、第一および第二のIn系金属コンタクト層を融点以上に保持する、または前記第一および第二のIn系金属コンタクト層に超音波振動を与える、また

(5)

特開平6-349731

7

はこれらの手段を併用することを特徴とする。または前記第一および第二のIn系金属コンタクト層を溶解しながら前記第一、および第二の半導体基板上の積層構造どうしを圧着する場合には第一または第二のIn系III-V族化合物半導体層のいずれか一方のみIn系金属コンタクト層に変換するか、あるいは前記第一または第二のIn系III-V族化合物半導体層のいずれか一方のみ成長を行い、In系金属コンタクト層に変換した後に前記第一、および第二の半導体基板上の積層構造どうしを圧着することを特徴とする。

【0018】また請求項6の発明によれば、第一の半導体基板上に直接、あるいは第一のIII-V族化合物半導体層を挟んで第一のIn系III-V族化合物半導体コンタクト層、III-V族化合物半導体デバイス層を順次成長する工程と、前記III-V族化合物半導体デバイス層上に支持基板を接着する工程と、第一の半導体基板および第一のIII-V族化合物半導体層を除去し、第一のIn系III-V族化合物半導体コンタクト層表面を露出する工程と、第二の半導体基板上に直接、あるいは第二のIII-V族化合物半導体層を挟んで第二のIn系III-V族化合物半導体コンタクト層および前記第二のIn系III-V族化合物半導体コンタクト層を介して前記支持基板および前記第二の半導体基板上の積層構造どうしを圧着する工程とを少なくとも有することを特徴とする複合型半導体積層構造の製造方法が得られる。また支持基板を接着する工程が、前記III-V族化合物半導体デバイス層上に第三のIn系III-V族化合物半導体コンタクト層を成長する工程と、前記支持基板上に直接、あるいは第三のIII-V族化合物半導体層を挟んで第四のIn系III-V族化合物半導体コンタクト層を成長する工程と、前記第三、および第四のIn系III-V族化合物半導体コンタクト層を介して前記第一の半導体基板、および支持基板上の積層構造どうしを圧着する工程から少なくとも構成されることを特徴とする。またさらに支持基板を接着とする工程が、前記III-V族化合物半導体デバイス層および前記支持基板の少なくとも一方の表面に有機接着性物質層を形成する工程と、前記有機接着性物質層を介して前記第一の半導体基板上の積層構造、および前記支持基板どうしを圧着する工程から少なくとも構成されることを特徴とする。

【0019】以上、本発明によれば第一及び第二の半導体基板、さらに支持基板がそれぞれIII-V族化合物半導体基板あるいはIV族半導体基板のいずれかであることを特徴とする複合型半導体積層構造の製造方法が得られる。

【0020】さらに請求項10の発明によれば、第一のIV族半導体基板上にIV族デバイス層を形成する工程と、一部にIV族半導体結晶表面が露出した開口部を設ける工程と、前記開口部に露出した前記IV族半導体結

8

晶表面上に直接、あるいは第一のIII-V族化合物半導体バッファ層を挟んで第一のIn系III-V族化合物半導体コンタクト層を成長する工程と、第二のIV族半導体基板上に直接、あるいは、第二のIII-V族化合物半導体バッファ層を挟んでIII-V族化合物半導体デバイス層および第二のIn系III-V族化合物半導体コンタクト層を成長する工程と、島状に形成したマスクパターンを用いたエッチングによってメサを形成する工程と、前記マスクパターンを除去した後に、前記第一のIn系III-V族化合物半導体コンタクト層、および前記メサ上部に残る第二のIn系III-V族化合物半導体コンタクト層を介して前記第一、および第二のIV族半導体基板上の積層構造どうしを圧着する工程とを少なくとも有することを特徴とする複合型半導体積層構造の製造方法が得られる。

【0021】以上、本発明によれば、In系III-V族化合物半導体コンタクト層がInP層、InAs層、InSb層のいずれかであり、300℃以上に加熱しながら二つの半導体基板上の積層構造どうしを圧着することを特徴とする。またIn系III-V族化合物半導体コンタクト層がInSb層であり、前記InSb層を融点525℃以上で短時間加熱溶解する。また前記InSb層のみに吸収され得る波長の光を照射することで、前記InSb層のみを融点525℃以上で加熱溶解しながら二つの半導体基板上の積層構造どうしを圧着することを特徴とする複合型半導体積層構造の製造方法が得られる。

【0022】または、本発明において、In系III-V族化合物半導体コンタクト層を成長後、または前記In系III-V族化合物半導体コンタクト層をIn系金属コンタクト層に変換してから、前記In系金属コンタクト層を介して二つの半導体基板上の積層構造どうしを圧着することを特徴とする複合型半導体積層構造の製造方法が得られる。

【0023】

【作用】直接接着のメカニズムとしては、硫酸系液による表面処理によって親水性表面が形成され、ここに吸着されたOH基同士の水素結合によってまず弱く接着し、次いで熱処理を施す過程で脱水縮合反応が起こり強く接着すると考えられている。従って酸素との結合がより弱い原子を構成要素とする基板を用いれば脱水縮合反応がより低温で起き、熱処理温度を低下させることができる。即ち表面の自然酸化膜の蒸発に850℃以上の高温を必要とするSiよりも600℃程度のGaAsの方が、さらに500℃程度以下とより低温でよいInPやInAs、またInSbなどIn系化合物半導体を用いた方がより低温で接着することができる。

【0024】またボイドのない高い密着性と良好な電気特性を得るには表面平坦性が重要であるが、原子の表面マイグレーションに1000℃以上の高温を必要とする

50

(5)

特開平6-349731

9

10

Siや、650℃以上を必要とするGaAsに比べ、In系化合物半導体では500℃以下でもマイグレーションによる質量移動が起きるため、界面の多少の隙間はこれが埋めてくれる。

【0025】以上のようにIn系化合物半導体ではより低温での接合が可能である。そこで他のⅢⅤ族あるいはIn系以外のⅢⅢⅤ族化合物半導体同士を接合する場合でも接合表面に薄いIn系化合物半導体層を予め形成しておけば、接合温度を全て低温化できる。

【0026】またIn系化合物半導体の中でもInSbの場合には融点が525℃でAlの融点、660℃よりも低いため、フラッシュアニールなど極く短時間の処理で瞬時に熔融、接合でき、Al配線などへの影響を最小限に抑えることができる。

【0027】さらにInSbのエネルギーバンドギャップは0.18eVとⅢⅤ族およびⅢⅢⅤ族化合物半導体の中で最も小さく、また融点も最も低い。そこでInSbのみに吸収される適当な波長の光を照射すればInSbのみを加熱、熔融して接合することもできる。

(以上、請求項1の発明の製造方法)。

【0028】さらに低温での接合を可能とするには界面に低融点の金属を挟めばよい。中でも例えば金属Inは弾性率が小さく、さらに融点が約157℃と非常に低いため理想的である。熱膨張係数差が大きいSⅠとⅢⅢⅤ族化合物半導体とを接合する場合でも、金属Inを挟めば熱処理後の冷却中に融点付近まで液状の金属In中間層によって熱歪をほぼ100%吸収できるという利点がある。

【0029】この金属In層の形成方法であるが、In系半導体結晶層からⅤ族元素を脱離させることでIn系半導体層をIn系金属層に変換できる。InPやInAsなどIn系結晶では、表面からのPやAsの脱離が極めて容易に起こる事を利用して、中でもInP表面からのPの脱離は、Ga系結晶、例えばGaAs表面からのAsの脱離に比べてその脱離速度定数が2～3桁も大きい。接合する2つの材料表面に形成した薄いInP層のうち、少なくとも一方を金属In層に変換する、あるいは接合する2つの材料表面のうち一方のみに薄いInP層を形成し、金属In層に変換した後、Inの融点157℃以上に加熱するか超音波振動を与えるなどしながら押さえ、金属In層を介して圧着すればよい(請求項2の発明の製造方法)。

【0030】結晶基板上の厚いエピタキシャル成長層の表面を接合表面に用いる場合、表面欠陥の発生やモロジーの劣化などのため十分な表面平坦性が確保できない場合が考えられる。このような場合には、まずエピタキシャル成長層の表面側に支持基板を接合しておき、次に結晶基板近傍の平坦な界面を露出させて最終的な接合面として利用すればよい。支持基板の接合法としては本発明の製造方法によるか、あるいは後の熱処理に耐えられる

有機接着性物質、例えばポリイミドなどを用いればよい。

【0031】またSⅠ基板とInP基板上の積層構造同士を貼り合わせる場合など熱膨張係数差が大きい場合、高温熱処理を行うと冷却後の反りが問題となる。さらにSⅠ基板上の特定の位置にInP基板上の特定の位置を対応させて接合したい場合なども熱処理中の位置ずれが問題となる。このような場合にも、支持基板を用いればその熱膨張係数をもう一方の基板と同じに揃えておくことができる(請求項6の発明の製造方法)。

【0032】Si超高集積回路が既に形成されたSⅠ基板上の一部にⅢⅢⅤ族化合物半導体層を接合法を用いて形成する場合を考えると、SⅠ基板としては現在6～8インチの大口径基板が標準であるのに対して、InP基板やGaAs基板では3～4インチが最大であり、一貫したプロセスを組めず効率が悪い。そこで別の大口径SⅠ基板上にヘテロエピタキシャル成長したⅢⅢⅤ族化合物半導体層を用いて接合を行えば効率的である。この方法はヘテロエピタキシャル層中の欠陥減らしが課題として残るものの、低温でSⅠ超高集積回路基板側と接合後、成長に用いたSⅠ基板は取除くことができ、高温成長で発生した熱歪は除くことができる(請求項10の発明の製造方法)。

【0033】

【実施例】以下、本発明の実施例について図面を参照して詳細に説明する。

【0034】(実施例1)図1(a)～(c)には請求項1の発明の一例としての製造工程を各段階における断面図で示した。

【0035】図1(a)に示すように例えばまずSⅠ基板1上に0.5μm厚のGaAsバッファ層2、0.5μm厚の第一のInPコンタクト層3を成長する。さらにInP基板4上に0.5μm厚のInGaAsスペーサ層5、2μm厚のInPデバイス層6、0.5μm厚の第二のInPコンタクト層7を成長する。成長にはⅢⅢⅤ族有機金属原料としてトリエチルガリウム(TEG)、トリエチルアルミニウム(TEA)およびトリメチルインジウム(TMIn)、Ⅴ族原料としてはアルシン(AsH₃)およびホスフィン(PH₃)を用いた有機金属気相成長法(MOCVD法)を用いた。

【0036】次に図1(b)に示すように硫酸系液およびHFによる表面処理を行った後、SⅠ基板1およびInP基板4上の積層構造を第一のInPコンタクト層3および第二のInPコンタクト層7を介して表面同士で重ね合わせ、軽い重りを載せて水中、500℃で30分間熱処理を行った。このプロセスで両基板上の積層構造が接合された。

【0037】最後に図1(c)に示すように研磨および選択エッチングによってInP基板4およびInGaAsスペーサ層5を除去してInPデバイス層6の表面を

11

露出させる。

【0038】得られたInPデバイス層の結晶品質を調べるため行ったホトルミネッセンス(PL)測定からはInP基板上の成長層と遜色のない発光強度が得られ、また発光波長のシフト、即ちInP/Siの熱膨張係数差に起因する熱歪も小さいことが分かった。またTEM観察の結果、転位密度も 10^4 cm^{-2} 以下で極めて良好な結晶品質が得られていることが分かった。

【0039】(実施例2)図2(a)~(c)には請求項2の発明の一例としての製造工程を各段階における断面図で示した。

【0040】図2(a)に示すように例えばまずSi基板1上に0.5 μm 厚のGaAsバッファ層2、0.5 μm 厚の第一のInP層21を成長する。さらにGaAs基板22上に0.5 μm 厚のAlAsスペーサ層23、2 μm 厚のGaAsデバイス層24、0.5 μm 厚の第二のInP層25を成長する。成長にはV族原料としてアルシン(AsH_3)およびホスフィン(PH_3)を用いたガスソース分子線エピタキシャル成長法(MBE法)を用いた。

【0041】次に図2(b)に示すように600℃以下、450℃以上の適当な温度に加熱して、第一のInP層21および第二のInP層25からPを脱離させて第一の金属In層26および第二の金属In層27に変換する。

【0042】次に図2(c)に示すようにInの融点、約157℃以上でSi基板1およびGaAs基板22上の積層構造を第一の金属In層26および第二の金属In層27を介して圧着する。最後に研磨および選択エッチングによってGaAs基板22およびAlAsスペーサ層23を除去してGaAsデバイス層24の表面を露出させる。

【0043】本実施例で得られたGaAsデバイス層の結晶品質も、PL測定およびTEM観察からGaAs基板上の成長層と遜色のないことが分かった。また金属In層を介して圧着する本実施例では発光波長のシフトもなく歪は完全に緩和されていることが分かった。

【0044】実施例1では熱歪は残るが共有結合界面を形成するため極めて強い接合強度が得られる。一方、実施例2の金属In層を介して圧着する方法では接合強度は低下するものの歪を完全に緩和することが可能である。

【0045】(実施例3)図3(a)~(e)には請求項6の発明の一例としての製造工程を各段階における断面図で示した。

【0046】図3(a)に示すように、例えばまずInP基板4上に0.5 μm 厚の第一のInGaAsスペーサ層31、0.5 μm 厚の第一のInPコンタクト層33、2 μm 厚のInPデバイス層6、0.5 μm 厚の第二のInGaAsスペーサ層32、0.5 μm 厚の第三

(7)

特開平6-349731

12

のInPコンタクト層33を成長する。成長にはガスソースMBE法を用いた。またInP支持基板34上に0.5 μm 厚の第四のInPコンタクト層35を成長する。さらにGaAs基板22上に0.5 μm 厚の第二のInPコンタクト層7を成長する。

【0047】次に図3(b)に示すように硫酸系液およびHFによる表面処理を行った後、InP基板4およびInP支持基板34上の積層構造を第三のInPコンタクト層33および第四のInPコンタクト層35を介して表面同士で重ね合わせ、軽い重りを載せて水素中、500℃で30分間熱処理を行った。このプロセスで両基板上の積層構造が接合された。

【0048】次に図3(c)に示すように研磨および選択エッチングによってInP基板4および第一のInGaAsスペーサ層31を除去し、第一のInPコンタクト層3の下表面を露出させる。

【0049】次に図3(d)に示すように硫酸系液およびHFによる表面処理を行った後、GaAs基板22上およびInP支持基板34上の積層構造を第二のInPコンタクト層7および第一のInPコンタクト層3を介して表面同士で重ね合わせ、軽い重りを載せて水素中、500℃で30分間熱処理を行った。このプロセスで両基板上の積層構造が接合された。

【0050】最後に図3(e)に示すように研磨および選択エッチングによってInP支持基板34、第四のInPコンタクト層35、第三のInPコンタクト層33、第二のInGaAsスペーサ層32を除去してInPデバイス層6の表面を露出させる。

【0051】本実施例でInP基板4上に成長した多層構造の最上層、第三のInPコンタクト層33の表面には結晶欠陥あるいは付着ゴミ等による最大1~2 μm 径の突起が数十~数百個 cm^{-2} の密度で分布していた。そのため図3(b)のInP基板4とInP支持基板34上の積層構造同士の接合では界面にボイドが残り、接合強度も弱かった。しかし図3(c)で研磨および選択エッチングによって露出させた第一のInPコンタクト層3の下表面には突起はほとんどなく、その後の接合でも界面にボイドが残ることもなく接合強度も十分強いものが得られた。

【0052】さらに本実施例で得られたInPデバイス層の結晶品質も、PL測定およびTEM観察からInP基板上の成長層と遜色のないことが分かった。

【0053】(実施例4)図4(a)~(e)には請求項6の発明の別の一例としての製造工程を各段階における断面図で示した。

【0054】図4(a)に示すように、例えばまずInP基板4上に0.5 μm 厚の第一のInGaAsスペーサ層31、0.5 μm 厚の第一のInPコンタクト層33、2 μm 厚のInPデバイス層6、0.5 μm 厚の第二のInGaAsスペーサ層32、0.5 μm 厚の第一

13

のInP層21を成長する。成長にはガスソースMBE法を用いた。

【0055】またSi支持基板41上に0.5μm厚のGaAsバッファ層2、0.5μm厚の第二のInP層25を成長する。

【0056】さらにSi基板1上に2μm厚のGaAsデバイス層24、0.5μm厚の第二のInPコンタクト層7を成長する。

【0057】次に図4(b)に示すように600℃以下、450℃以上の適当な温度に加熱して、第一のInP層21および第二のInP層25からPを脱離させて第一の金属In層26および第二の金属In層27に変換する。

【0058】次に図4(c)に示すようにInの融点約157℃以上でInP基板4およびSi支持基板41上の積層構造を第一の金属In層26および第二の金属In層27を介して圧着する。さらに研磨および選択エッチングによってInP基板4および第一のInGaAsスペーサ層31を除去し、第一のInPコンタクト層3の下表面を露出させる。

【0059】次に図4(d)に示すように硫酸系液およびHFによる表面処理を行った後、Si基板1上およびSi支持基板41上の積層構造を第二のInPコンタクト層7および第一のInPコンタクト層3を介して表面同士で重ね合わせ、軽い重りを載せて水中、500℃で30分間熱処理を行った。このプロセスで両基板上の積層構造が接合された。

【0060】最後に図4(e)に示すように研磨および選択エッチングによってSi支持基板41、GaAsバッファ層2、第二の金属In層27、第一の金属In層26、第二のInGaAsスペーサ層32を除去してInPデバイス層6の表面を露出させる。

【0061】本実施例で得られたInPデバイス層の結晶品質も、PL測定およびTEM観察からInP基板上の成長層と遜色のないことが分かった。

【0062】ところでSi支持基板41上、およびInP基板4上の積層構造の接合を実施例1のように高温熱処理で行うと、熱膨張係数差が大きく厚い基板同士であるため、冷却後の基板の反りは避けられない。しかし本実施例では金属In層を介して低温で接合するため基板の反りはほとんどなく、次の接合工程への悪影響はない。

【0063】さらにSi支持基板41上に1回目の接合工程で移動したInPデバイス層6とSi基板1上のGaAsデバイス層24のある特定の水平位置同士を揃えて接合したい場合などでも、両基板ともSiであるため熱処理中の熱膨張係数差による位置ずれの問題が生じない。

【0064】(実施例5) 図5(a)～(d)には請求項10の発明の一例としての製造工程を各段階における

(8)

特開平6-349731

14

断面図で示した。

【0065】図5(a)に示すように例えばまず第一のSi基板51上にはAl多層配線層を含む最大3μm厚のSiデバイス構造層52が形成され、その一部には第一のSi基板51の表面が露出した開口部が設けられている。まずこの開口部に露出した第一のSi基板51の表面に0.5μm厚の第一のInSbコンタクト層53を成長する。Sbソースセルを追加したガスソースMBE法を用いて成長後、第一のSi基板51の表面部分以外のInSb層を除去する。

【0066】次に第二のSi基板54上に0.5μm厚のGaAsバッファ層2を成長し、さらに0.7μm厚の第一のGaAsデバイス層55を、途中900℃～450℃の熱サイクルアニールを2回ほど行いながら成長し、次にInGaAs/GaAs歪超格子層56(In_{0.1}Ga_{0.9}As:10nm, GaAs:20nm, x10周期)、0.5μm厚のAlAsスペーサ層23を成長し、さらに例えば3μm厚の第二のGaAsデバイス層57を成長し、最後に0.5μm厚の第二のInSbコンタクト層58を成長する。

【0067】次に図5(b)に示すようにパターニングしたSiO₂膜59をマスクとして第二のSi基板54上の化合物半導体層をエッチングしメサを形成する。メサの水平面内での位置は第一のSi基板51に設けられた開口部の位置と一致するようにする。第二のSi基板54上に多層構造を成長した段階では熱膨張係数差による熱歪のため全体に反っているが、メサを形成することで平坦化する。

【0068】次に図5(c)に示すようにSiO₂膜59を除去後、第一のSi基板51および第二のSi基板54上の積層構造を開口部内に設けられた第一のInSbコンタクト層53およびメサ上の第二のInSbコンタクト層58を介して表面同士で重ね合わせ、軽い重りを載せて水中、InSbの融点約525℃以上で5秒間の短時間ランプ加熱を行った。このプロセスで両基板上の積層構造が接合された。

【0069】最後に図5(d)に示すように研磨および選択エッチングによって第二のSi基板54、GaAsバッファ層2、第一のGaAsデバイス層55、InGaAs/GaAs歪超格子層56、AlAsスペーサ層23を除去して第二のGaAsデバイス層57の表面を露出させる。

【0070】本実施例で得られたGaAsデバイス層の結晶品質も、PL測定ではGaAs基板上の成長層とほぼ遜色のない発光強度が得られた。また発光波長のシフトも小さく熱歪みはほぼ緩和されていることが分かった。これはメサ形成によるパターニング、さらに第二のSi基板54を除去したことによる。またTEM観察の結果、転位密度も多くて10⁴～10⁵ cm⁻²と良好な結晶品質が得られていることが分かった。

15

【0071】本実施例では第二のSi基板54上に直接エピタキシャル成長して形成した化合物半導体結晶を第一のSi基板51上に接着法で移動するため、例えば8インチの大口径Si基板を用いる通常のSi超LSIプロセスともそのまま整合をとることができる。

【0072】またInSbコンタクト層を極く短時間の熱処理で瞬時に溶融、接着するため、Al配線への影響は最小限に抑えることができ、さらに基本的に共有結合界面を形成するため接着強度も強い。

【0073】本実施例では第一のSi基板51の表面が露出した開口部に第一のInSbコンタクト層53を形成したが、Siデバイス構造層52中に結晶層が存在すればその表面が露出した開口部でもよく、あるいは第一のSi基板51の表面からさらにエッチングを施して得た表面に形成してもよい。

【0074】また第一のInSbコンタクト層53を開口部内のみ形成したが、全面に形成しておいて開口部内のみ利用してもよく、また開口部表面以外の表面に形成したSiO₂マスクを用いてMOCVD法などで選択成長してもよい。

【0075】またメサエッチング用、さらに上記選択成長用のマスクとしては、SiO₂膜以外の例えばAlNやSi₃N₄などの非晶質膜を用いても良く、その他メサエッチング用としては半導体結晶や金属、またレジスト膜など有機物を用いてもよい。

【0076】またInSbコンタクト層の溶融に他の方法を用いてもよく、例えばInSb層のみに吸収される適当な波長の光を照射すればInSbのみを加熱、溶融して接着することもでき、Al配線への影響は完全に抑えられ、またこの接着プロセス自身による熱歪の発生も回避することができる。

【0077】以上の5つの実施例で成長法としてガスソースMBE法またはMOCVD法を用いたが、他の例えばハロゲン輸送法などを用いても良い。

【0078】また実施例2および4で金属In層を介して上下層を圧着する際に、Inの融点約157℃以上に加熱したが、他の例えば超音波振動を与える方法などを用いても良い。また金属層としてはInP-Inと変換が容易な金属Inを用いたが、例えばGaを添加してInGaP-In-Ga合金と変換しても良い。Ga添加によってPの融解は遅くなるが、In-Ga合金の融点を下げることができる。

【0079】5つの実施例ではSi基板上へInP層あるいはGaAs層を形成する場合、またGaAs基板上へInP層を形成する場合などを例に説明したが、Ⅲ族基板がGeやSi、Ge...、液晶、またSi、Ge...、液晶のエピ層を有する場合、またⅢ-Ⅴ族基板がInPやGaP、また液晶の場合、さらに形成するⅢ-Ⅴ族化合物半導体層が他のInAsやGaP、またInGaPなど液晶の場合、また複数種類のⅢ-Ⅴ

(9)

特開平6-349731

16

Ⅲ族化合物半導体層が混在する場合にも広く本発明を適用することができる。

【0080】また接着方法についても目的に合わせて5つの実施例とは異なる組合わせを採用してもよい。例えばInSbコンタクト層を溶融せず、融点以下で適当な時間熱処理するだけで接着してもよい。また実施例3および4における支持基板の接着方法としては耐熱性の有機接着性物質、例えばポリイミドなどを用いてもよい。

【0081】

【発明の効果】以上のように本発明によればⅢ族あるいはⅢ-Ⅴ族格子不整合基板上に高品質なⅢ-Ⅴ族化合物半導体単結晶層を有する複合型半導体積層構造を低温で実現できる。

【図面の簡単な説明】

【図1】本発明の実施例の工程を示す断面図である。

【図2】本発明の実施例の工程を示す断面図である。

【図3】本発明の実施例の工程を示す断面図である。

【図4】本発明の実施例の工程を示す断面図である。

【図5】本発明の実施例の工程を示す断面図である。

【符号の説明】

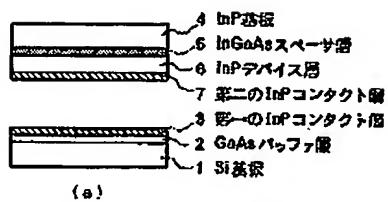
- 1 Si基板
- 2 GaAsバッファ層
- 3 第一のInPコンタクト層
- 4 InP基板
- 5 InGaAsスペーサ層
- 6 InPデバイス層
- 7 第二のInPコンタクト層
- 21 第一のInP層
- 22 GaAs基板
- 23 AlAsスペーサ層
- 24 GaAsデバイス層
- 25 第二のInP層
- 26 第一の金属In層
- 27 第二の金属In層
- 31 第一のInGaAsスペーサ層
- 32 第二のInGaAsスペーサ層
- 33 第三のInPコンタクト層
- 34 InP支持基板
- 35 第四のInPコンタクト層
- 41 Si支持基板
- 51 第一のSi基板
- 52 Siデバイス構造層
- 53 第一のInSbコンタクト層
- 54 第二のSi基板
- 55 第一のGaAsデバイス層
- 56 InGaAs/GaAs金属格子層
- 57 第二のGaAsデバイス層
- 58 第二のInSbコンタクト層
- 59 SiO₂膜

59

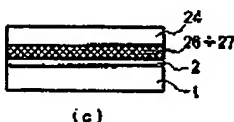
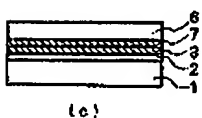
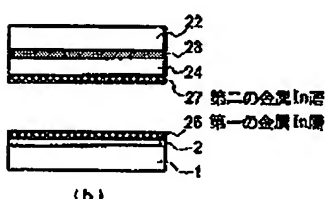
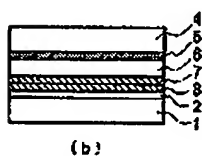
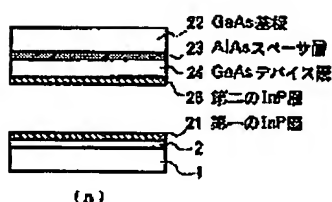
(10)

特開平6-349731

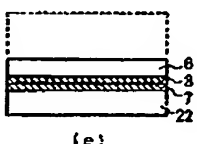
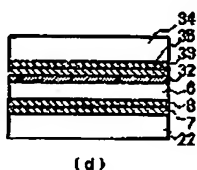
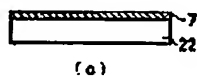
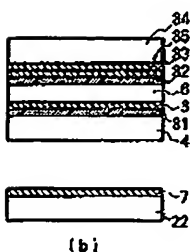
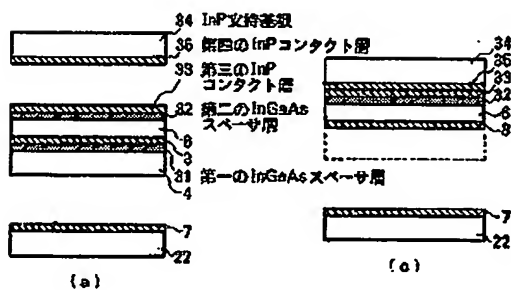
【図1】



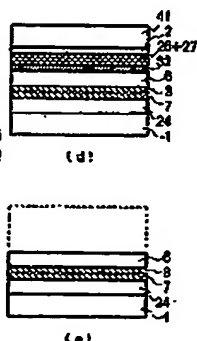
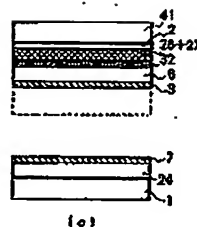
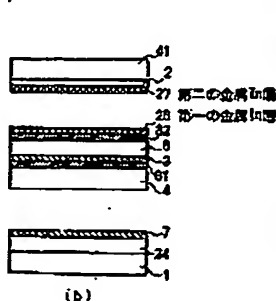
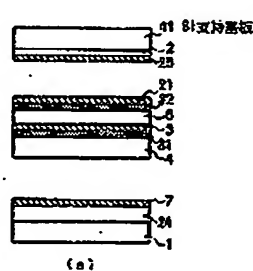
【図2】



【図3】



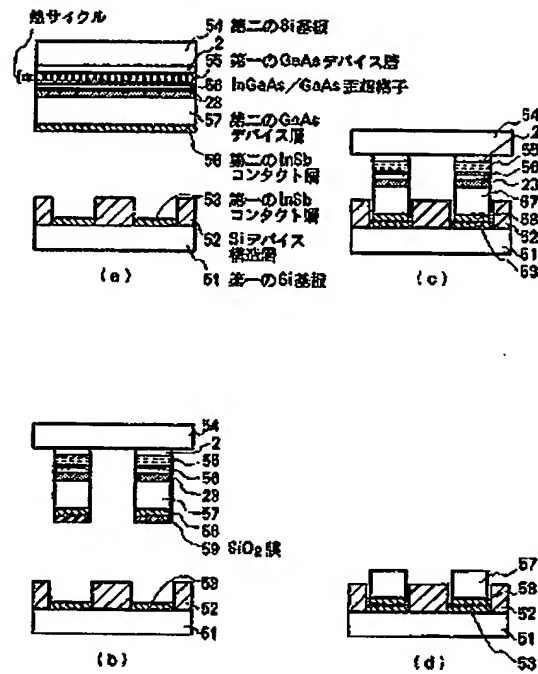
【図4】



(11)

特開平6-349731

【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.